

II4/Priority  
OKing  
4-29-02

<Priority Document Translation>

THE KOREAN INDUSTRIAL  
PROPERTY OFFICE

J0957 U.S. PRO  
J09/998303  
12/03/01



This is to certify that annexed hereto is a true copy from the records of the Korean Industrial Property Office of the following application as filed.

Application Number : 2000-75286 (Patent)

Date of Application : December 11, 2000

Applicant(s) : Hynix Semiconductor Inc.

April 30, 2001

COMMISSIONER

P-001102028

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

JC857 U.S. PRO  
09/998303  
12/03/01



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 특허출원 2000년 제 75286 호  
Application Number

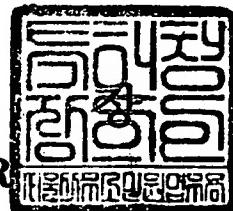
출원년월일 : 2000년 12월 11일  
Date of Application

출원인 : 주식회사 하이닉스반도체  
Applicant(s)



2001 년 04 월 30 일

특 허 청  
COMMISSIONER



【서지사항】

【서류명】

출원인정보변경 (경정)신고서

【수신처】

특허청장

【제출일자】

20010417

【출원인】

【명칭】

주식회사 하이닉스반도체

【출원인코드】

119980045698

【대리인】

【성명】

특허법인 신성 정지원

【대리인코드】

920000002923

【변경사항】

【경정항목】

한글 성명(명칭)

【경정전】

현대전자산업주식회사

【경정후】

주식회사 하이닉스반도체

【변경사항】

【경정항목】

영문 성명(명칭)

【경정전】

HYUNDAI ELECTRONICS IND. CO., LTD

【경정후】

Hynix Semiconductor Inc.

【변경사항】

【경정항목】

인감

【경정전】

【경정후】

【취지】

특허법시행규칙 제9조·실용신안법시행규칙 제12조·의장법시행규칙 제28조 및 상표법시행규칙 제23조의 규정에 의하여 위와 같이 신고합니다.

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2000.12.11
【발명의 명칭】	반도체 장치의 콘택홀 및 스페이서 형성 방법
【발명의 영문명칭】	Method for forming contact hole and spacer of semiconductor device
【출원인】	
【명칭】	현대전자산업주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	특허법인 신성 정지원
【대리인코드】	9-2000-000292-3
【포괄위임등록번호】	2000-049307-2
【대리인】	
【성명】	특허법인 신성 원석희
【대리인코드】	9-1998-000444-1
【포괄위임등록번호】	2000-049307-2
【대리인】	
【성명】	특허법인 신성 박해천
【대리인코드】	9-1998-000223-4
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	박성찬
【성명의 영문표기】	PARK,Sung Chan
【주민등록번호】	691114-1448925
【우편번호】	135-110
【주소】	서울특별시 강남구 압구정동 미성아파트 38-1001
【국적】	KR
【발명자】	
【성명의 국문표기】	공필구
【성명의 영문표기】	KONG,Phil Goo
【주민등록번호】	700313-1226919

【우편번호】 440-050  
【주소】 경기도 수원시 장안구 영화동 430-9  
【국적】 KR  
【발명자】  
【성명의 국문표기】 윤국한  
【성명의 영문표기】 YOON,Kuk Han  
【주민등록번호】 710102-1057114  
【우편번호】 467-040  
【주소】 경기도 이천시 송정동 동양아파트 102-1702  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정  
에 의한 출원심사 를 청구합니다. 대리인  
특허법인 신성 정지원 (인) 대리인  
특허법인 신성 원석희 (인) 대리인  
특허법인 신성 박해천 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 8 면 8,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 12 항 493,000 원  
【합계】 530,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 마스크 오정렬에 따른 콘택 불량을 방지하고, 이웃하는 전도막 패턴 사이의 충간절연막 내에 보이드가 발생하는 것을 방지할 수 있으며, 전도막 패턴 사이의 기생 캐패시턴스를 감소시킬 수 있는, 반도체 장치의 콘택홀 및 스페이서 형성 방법에 관한 것으로, 본 발명은 게이트 전극, 비트라인 등의 전도막 패턴 형성 후 바로 충간절연막을 증착하고, 일직선, T자형, 또는 I자형 중 적어도 어느 하나의 콘택홀 패턴이 정의된 마스크를 이용한 식각을 실시하여 콘택홀을 형성한 후 또는 콘택홀 형성과정에서 전도막 패턴 측벽에 절연막 스페이서를 형성하는데 그 특징이 있다.

**【대표도】**

도 8d

**【색인어】**

충간절연막, 스페이서, 산화막계, 폴리머계, 기생 캐패시턴스

**【명세서】****【발명의 명칭】**

반도체 장치의 콘택홀 및 스페이서 형성 방법{Method for forming contact hole and spacer of semiconductor device}

**【도면의 간단한 설명】**

도 1은 종래 홀 형태의 스토리지 노드 콘택홀 형성을 위한 마스크를 보이는 평면도,

도 2a 내지 도 2e는 종래 홀 형태의 스토리지 노드 콘택홀 형성 공정 단면도,

도 3a 및 도 3b는 종래 홀 형태의 스토리지 노드 콘택홀 형성 과정 중 마스크 오정  
렬에 따른 문제점을 도시한 공정 단면도,

도 4는 종래 일직선 형태의 스토리지 노드 콘택홀과 비트라인 및 워드라인의 배치  
를 보이는 평면도,

도 5a 내지 도 5e는 종래 일직선 형태의 스토리지 노드 콘택홀 형성 공정 사시도,

도 6은 종래 기술에 따른 반도체 장치 제조 공정 중 충간절연막 형성시 이웃하는  
비트라인 사이의 충간절연막 내에 보이드가 발생하는 것을 보이는 공정 단면도,

도 7a 내지 도 7d는 종래 프리 플러그 형성 공정 단면도,

도 8a 내지 도 8f는 본 발명의 실시예에 따른 일직선 형태의 스토리지 노드 콘택홀  
형성 공정 사시도.

\*도면의 주요부분에 대한 도면 부호의 설명\*

80: 반도체 기판

81: 전도막

81A: 전도막 패턴

82: 마스크층

82A: 마스크 패턴

83, 85: 감광막 패턴

84: 층간절연막

86: 스페이서

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 반도체 장치 제조 분야에 관한 것으로, 특히 이웃하는 전도막 패턴 간의 기생 캐패시턴스(parasitic capacitance)를 감소시키고, 마스크 오정렬에 따른 콘택블량을 방지할 수 있으며, 이웃하는 전도막 사이에 층간절연막을 효과적으로 매립할 수 있는 콘택홀 형성 방법에 관한 것이다.
- <15> 반도체 장치의 집적도가 높아짐에 따라 종래 스토리지 노드 콘택(storage node contact) 형성 과정에서는 자기정렬 콘택(self align contact, 이하 SAC라 함) 식각방법이 이용되고 있다.
- <16> 이하, 첨부된 도면을 참조하여 종래 기술에 따른 콘택홀 형성 방법의 문제점을 설명한다.
- <17> 도 1과 같이 흙(hole, 10)이 정의된 마스크(M1)를 이용한 종래 흙 형태의 스토리지 노드 콘택홀 형성 방법을 도 2a 내지 도 2e를 참조하여 설명한다.

<18> 먼저 도 2a에 보이는 바와 같이, 소정의 하부구조 형성이 완료된 반도체 기판(20)

상에 텅스텐 등으로 비트라인을 이를 전도막(21) 및 마스크층(22)을 형성하고, 비트라인 패턴을 정의하는 제1 감광막 패턴(23)을 형성한다. 상기 마스크층(22)은 층간절연 산화막을 식각하여 콘택홀을 형성하는 과정에서 비트라인을 보호하기 위한 것으로서, 산화막과 식각 속도가 현저하게 차이나는 질화막 등으로 형성한다.

<19> 이어서, 제1 감광막 패턴(23)을 식각마스크로 마스크층(22) 및 전도막(21)을 선택적으로 식각하고, 제1 감광막 패턴(23)을 제거해서 도 2b에 보이는 바와 같이 마스크 패턴(22A) 및 비트라인(21A)을 형성한다.

<20> 다음으로 도 2c에 도시한 바와 같이 마스크 패턴(22A) 및 비트라인(21A) 측벽에 스페이서(24)를 형성한다. 상기 스페이서(24)는 이웃하는 비트라인(21A) 간의 절연을 위한 것으로서, 층간절연 산화막을 식각하여 콘택홀을 형성하는 과정에서 산화막과 식각 속도가 현저하게 차이나는 질화막을 전체 구조 상에 형성하고 전면식각을 실시하여 형성한다.

<21> 이어서, 도 2d에 보이는 바와 같이 전체 구조 상에 층간절연 산화막(25)을 형성하고 층간절연 산화막(25) 상에, 도 1과 같은 마스크를 이용하여 홀 형태의 콘택홀 형성 영역을 정의하는 제2 감광막 패턴(26)을 형성한다.

<22> 다음으로 제2 감광막 패턴(26)을 식각마스크로 층간절연막(25)을 식각해서 이웃하는 스페이서(24) 사이의 콘택영역, 예를 들면 반도체 기판(20)을 노출시키는 콘택홀(10)을 형성한다.

<23> 전술한 종래 홀 형태의 콘택홀 형성 마스크를 이용한 SAC 식각 방법은 고집적 소자

제조 공정에 적용될 경우 포토마스크의 오정렬(mis-align) 문제가 발생한다. 즉, 도 3a에 보이는 바와 같이 포토마스크가 정위치에서 벗어나 콘택홀 형성 영역을 정의하는 감광막 패턴(26A)도 정위치에서 어긋나게 형성되면 그에 따라 감광막 패턴(26A)을 식각마스크로 이용하는 콘택홀 형성 공정에서 마스크충(22A) 및 스페이서(24) 상에서 식각이 정지되고, 도 3b의 'A'에 보이는 바와 같이 콘택홀(10)의 저면이 불량하게 노출된다. 소자의 고집적화에 따라 비트라인(21A) 간격이 좁아지면서 이러한 오정렬에 따라 유발되는 문제는 보다 심각해진다.

<24> 이와 같은 마스크 오정렬 문제를 해결하기 위하여 홀 형태의 콘택홀 마스크를 대신하여 일직선 형태의 콘택홀 마스크를 이용하는 방법이 제시되었다. 도 4와 같이 워드라인(WL)과 평행하고, 비트라인(BL)에 수직한 일직선 형태의 마스크(M2)를 이용한 종래 일직선 형태의 스토리지 노드 콘택홀 형성 방법을 도 5a 내지 도 5e를 참조하여 설명한다.

<25> 먼저 도 5a에 보이는 바와 같이, 소정의 하부구조 형성이 완료된 반도체 기판(50) 상에 텅스텐 등으로 비트라인을 이를 전도막(51) 및 마스크충(52)을 형성하고, 비트라인 패턴을 정의하는 제1 감광막 패턴(53)을 형성한다. 상기 마스크충(52)은 충간절연 산화막을 식각하여 콘택홀을 형성하는 과정에서 비트라인을 보호하기 위한 것으로서, 산화막과 식각 속도가 현저하게 차이나는 질화막 등으로 형성한다.

<26> 이어서, 제1 감광막 패턴(53)을 식각마스크로 마스크 질화막(52) 및 전도막(51)을 선택적으로 식각하고, 제1 감광막 패턴(53)을 제거해서 도 5b에 보이는 바와 같이 마스크 질화막 패턴(52A) 및 비트라인(51A)을 형성한다.

<27> 다음으로 도 5c에 도시한 바와 같이, 마스크 패턴(52A) 및 비트라인(51A) 측벽에 스페이서(54)를 형성한 다음, 전체 구조 상에 충간절연 산화막(55)을 형성한다. 상기 스

페이지(54)는 이웃하는 비트라인(51A) 간의 절연을 위한 것으로서, 층간절연 산화막을 식각하여 콘택홀을 형성하는 과정에서 산화막과 식각 속도가 현저하게 차이나는 질화막을 전체 구조 상에 형성하고 전면식각하여 형성한다.

<28> 이어서 도 5d에 보이는 바와 같이, 층간절연 산화막(55)을 형성하고 층간절연 산화막(55) 상에, 도 4와 같이 정의된 일직선 형태의 마스크(M2)를 이용하여 콘택홀 형성 영역을 정의하는 제2 감광막 패턴(56)을 형성한다.

<29> 다음으로 제2 감광막 패턴(56)을 식각마스크로 층간절연 산화막(55)을 식각해서 이웃하는 스페이서(54) 사이의 콘택영역, 예를 들면 반도체 기판(50)을 노출시키는 콘택홀을 형성한다.

<30> 일직선 형태의 마스크는 홀 형태에 비하여 포토마스크 중첩 마진(photomask overlay margin)이 매우 크므로 마스크 오정렬 문제는 해결 가능하지만 층간절연막을 이루는 HDP 산화막의 매립 불량 문제는 해결이 불가능하다.

<31> 소자의 집적도가 향상될수록 이웃하는 전도막 패턴 사이의 간격이 좁아져 층간절연막의 매립(gap-fill) 특성이 불량해진다. 층간절연막의 매립 문제는 고집적화가 진행됨에 따라 비트라인 사이의 간격이 좁아져서 층간절연막을 이루는 고밀도 플라즈마 산화막(high density plasma, 이하 HDP 산화막이라 함)이 비트라인 사이를 채우지 못하여 도 6에 보이는 바와 같이 이웃하는 비트라인(61) 측벽 스페이서(64) 사이의 HDP 산화막(65) 내에 보이드(V)가 발생하는 것이다. 도 6에서 미설명 도면부호 '60'은 반도체 기판, '62A'는 마스크 패턴을 나타낸다.

<32> HDP 산화막은 골진 부분의 종횡비(aspect ration)가 4.0 이상, 즉, 골의 높이가 폭

보다 4배 이상 큰 경우에는 보이드가 발생한다. 이러한 충간절연막의 매립 불량에 따른 문제점을 해결하기 위한 종래의 프리 폴리실리콘 플러그(pre polisilicon plug, 이하 PPP라 함) 형성 방법을 상세하게 설명한다.

<33> 먼저 도 7a에 도시한 바와 같이, 소정의 하부구조 형성이 완료된 반도체 기판(70) 상에 비트라인(71), 마스크 패턴(72) 및 스페이서(73)를 형성하고, 전체 구조 상에 폴리 실리콘막(74)을 형성한다.

<34> 이어서 도 7b에 보이는 바와 같이, 비트라인(71)을 덮는 마스크 패턴(72)이 노출될 때까지 폴리실리콘막(74)을 에치백(etch back) 또는 연마하여 PPP(42A)를 형성한다.

<35> 다음으로 도 7c에 보이는 바와 같이, 전체 구조 상에 충간절연막(75)을 형성하고, 충간절연막(75) 상에 콘택홀을 정의하는 감광막 패턴(76)을 형성한다.

<36> 이어서 도 7d에 도시한 바와 같이, 감광막 패턴(76)을 식각마스크로 충간절연막(75)을 식각해서 프리 폴리실리콘 플러그(74A)를 노출시키는 콘택홀(77)을 형성하고, 감광막 패턴(76)을 제거한다.

<37> 상기와 같이 이루어지는 종래 PPP를 이용하는 방법은 골의 깊이를 감소시켜 충간절연막이 양호하게 매립되도록 할 수 있으나, 폴리실리콘막 증착, 에치백 등의 공정 단계가 증가하는 문제점이 있다.

<38> 이상에서 설명한 일직선 형태의 콘택홀 형성 방법, PPP 형성 방법 각각은 홀 형태의 콘택홀 형성 방법에서 유발되는 마스크 오정렬 문제, 충간절연막 내의 보이드 발생 문제를 각각 해결할 수 있는 장점이 있으나, 전술한 방법 모두는 비트라인 기생 캐패시턴스 증가 문제를 해결할 수 없는 단점이 있다.

<39> 기생 캐패시턴스 문제는 특정 비트라인에 전기신호가 흐를 때 인접한 비트라인에서 도 전기적 신호가 발생하는 현상에 관한 것으로, SAC 식각을 위하여 비트라인을 유전상 수가 큰 질화막으로 감싸는 경우에 심각하게 발생한다. 기생 캐패시턴스 문제를 해결하기 위해서는 비트라인을 유전상수가 작은 산화막 등의 물질로 덮어야 하지만 이러한 경우에는 충간절연을 위한 산화막과 식각 선택비를 가질 수 없기 때문에 SAC 식각을 진행 할 수 없는 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<40> 상기와 같은 문제점을 해결하기 위한 본 발명은, 마스크 오정렬에 따른 콘택 불량을 방지하고, 이웃하는 전도막 패턴 사이의 충간절연막 내에 보이드가 발생하는 것을 방지할 수 있으며, 전도막 패턴 사이의 기생 캐패시턴스를 감소시킬 수 있는, 반도체 장치의 콘택홀 및 스페이서 형성 방법을 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<41> 상기와 같은 목적을 달성하기 위한 본 발명은, 기판 상에 다수의 전도막 패턴을 형성하는 제1 단계; 상기 제1 단계가 완료된 전체 구조 상에 충간절연막을 형성하는 제2 단계; 상기 충간절연막을 선택적으로 식각하여 상기 이웃하는 전도막 패턴 사이의 콘택 영역 및 상기 다수의 전도막 패턴 중 적어도 그 일측벽이 상기 콘택 영역에 인접하는 전도막 패턴을 노출시키는 제3 단계; 및 상기 제3 단계에서 노출된 상기 전도막 패턴 측벽에 절연막 스페이서를 형성하는 제4 단계를 포함하는 반도체 장치 제조 방법을 제공한다.

<42> 또한 상기 목적을 달성하기 위한 본 발명은, 기판 상에 다수의 전도막 패턴을 형성하는 제1 단계; 상기 제1 단계가 완료된 전체 구조 상에 충간절연막을 형성하는 제2 단계; 및 상기 충간절연막을 선택적으로 식각하여 상기 이웃하는 전도막 패턴 사이의 콘택 영역을 노출시킴과 동시에, 상기 다수의 전도막 패턴 중 적어도 그 일측벽이 상기 콘택 영역과 인접하는 상기 전도막 패턴 측벽에 상기 충간절연막을 잔류시킴으로써 스페이서를 형성하는 제3 단계를 포함하는 반도체 장치 제조 방법을 제공한다.

<43> 또한 상기 목적을 달성하기 위한 본 발명은, 기판 상에 다수의 전도막 패턴 및 상기 전도막 패턴 상부 표면을 덮는 마스크 패턴을 형성하는 제1 단계; 상기 제1 단계가 완료된 전체 구조 상에 충간절연막을 형성하는 제2 단계; 상기 충간절연막을 선택적으로 식각하여 상기 이웃하는 전도막 패턴 사이의 콘택 영역 및 상기 다수의 전도막 패턴 중 적어도 그 일측벽이 상기 콘택 영역에 인접하는 전도막 패턴 및 그 상부의 상기 마스크 패턴을 노출시키는 제3 단계; 및 상기 제3 단계에서 노출된 상기 전도막 패턴 및 상기 마스크 패턴 측벽에 절연막 스페이서를 형성하는 제4 단계를 포함하는 반도체 장치 제조 방법을 제공한다.

<44> 또한 상기 목적을 달성하기 위한 본 발명은, 기판 상에 다수의 전도막 패턴 및 상기 전도막 패턴 상부 표면을 덮는 마스크 패턴을 형성하는 제1 단계; 상기 제1 단계가 완료된 전체 구조 상에 충간절연막을 형성하는 제2 단계; 및 상기 충간절연막을 선택적으로 식각하여 상기 이웃하는 전도막 패턴 사이의 콘택 영역을 노출시킴과 동시에, 상기 다수의 전도막 패턴 중 적어도 그 일측벽이 상기 콘택 영역과 인접하는 상기 전도막 패턴 및 그 상부의 상기 마스크 패턴 측벽에 상기 충간절연막을 잔류시킴으로써 스페이서를 형성하는 제3 단계를 포함하는 반도체 장치 제조 방법을 제공한다.

<45> 본 발명은 게이트 전극, 비트라인 등의 전도막 패턴 형성 후 바로 층간절연막을 증착하고, 일직선, T자형, 또는 I자형 중 적어도 어느 하나의 콘택홀 패턴이 정의된 마스크를 이용한 식각을 실시하여 콘택홀을 형성한 후 또는 콘택홀 형성과정에서 전도막 패턴 측벽에 절연막 스페이서를 형성함으로써 이웃하는 전도막 패턴 사이에 콘택홀과 스페이서를 형성하는데 그 특징이 있다.

<46> 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 반도체 장치 제조 방법을 설명한다.

<47> 먼저 도 8a에 보이는 바와 같이, 소정의 하부구조 형성이 완료된 반도체 기판(80) 상에 W,  $WSi_x$ ,  $TiSi_x$ ,  $CoSi_x$ , Al 또는 Cu 등으로 비트라인 또는 게이트 전극 등을 이룰 전도막(81)을 형성하고, 상기 전도막(81) 상에 500 Å 내지 5000 Å 두께의 마스크층(82)을 형성한 다음, 비트라인 또는 게이트 전극 패턴 등을 정의하는 제1 감광막 패턴(83)을 형성한다. 상기 마스크층(82)은 층간절연막을 식각하여 콘택홀을 형성하는 과정에서 비트라인 또는 게이트 전극 패턴 등을 보호하기 위한 것으로서, 산화막과 식각 속도가 현저하게 차이나는 질화막 등으로 형성한다. 예로서 층간절연막을 산화막 계열로 형성할 경우에는 실리콘 질화막(SiN), 실리콘 산화질화막(SiON) 등으로 마스크층(82)을 형성하고, 층간절연막을 폴리머계 저유전막으로 형성할 경우에는 산화막 계열의 물질로 마스크층(82)을 형성한다. 상기 마스크층(82)은 전도막의 식각특성에 따라 형성을 하지 않을 수도 있다.

<48> 이어서, 제1 감광막 패턴(83)을 식각마스크로 마스크 질화막(82) 및 전도막(81)을 선택적으로 식각하고, 제1 감광막 패턴(83)을 제거해서 도 8b에 보이는 바와 같이 마스크 질화막 패턴(82A) 및 전도막 패턴(81A)을 형성한다.

<49> 다음으로 도 8c에 도시한 바와 같이, 전체 구조 상에 산화막 계열 또는 SiLK, FLARE, Fox, HSQ(Hydrogen silsesquioxane), BCB(benzocyclobutene), 등과 같이 유전 상수 3.5 이하의 저유전 물질로 500 Å 내지 10000 Å 두께의 층간절연막(84)을 형성한다.

<50> 이어서 도 8d에 보이는 바와 같이, 층간절연막(84) 상에 콘택홀 형성 영역을 정의 하는 제2 감광막 패턴(85)을 형성한다. 상기 제2 감광막 패턴(85)은 일직선, 'T'자 또는 'I'자 중 적어도 어느 하나의 패턴이 형성된 마스크를 이용하여 형성한다.

<51> 다음으로 제2 감광막 패턴(85)을 식각마스크로 층간절연막(84)을 식각하고, 제2 감광막 패턴(85)을 제거한다. 이러한 공정에 따라 도 8e에 보이는 바와 같이 이웃하는 전도막 패턴(81A) 사이의 도전층, 예를 들면 반도체 기판(80)을 노출시키는 콘택홀이 형성된다. 이때, 이온농도  $10^{12}/\text{cm}^2$  이상의 고밀도(high density) 또는 이온농도  $10^{11}/\text{cm}^2$  내지  $10^{12}/\text{cm}^2$  의 중밀도 (middle density) 플라즈마 식각반응기를 이용하고, 식각반응기의 압력은 1 mTorr 내지 100 mTorr가 되도록 한다.

<52> 층간절연막(84)이 산화막 계열일 경우에는 Ar, C, F 등의 혼합가스 예를 들어 Ar/C<sub>4</sub>F<sub>8</sub>/CH<sub>2</sub>F<sub>2</sub>의 혼합가스, Ar/C<sub>4</sub>F<sub>8</sub>/O<sub>2</sub>의 혼합가스, Ar/C<sub>4</sub>F<sub>8</sub>/CH<sub>3</sub>F의 혼합가스, Ar/C<sub>4</sub>F<sub>8</sub>/CHF<sub>3</sub>의 혼합가스 또는 Ar/C<sub>5</sub>F<sub>8</sub>/O<sub>2</sub>의 혼합가스로 식각하고, 층간절연막(84)이 폴리머 계열일 경우에는 Ar, O<sub>2</sub>, N<sub>2</sub>, H<sub>2</sub>, CH<sub>4</sub>, C<sub>2</sub>H<sub>4</sub> 또는 C<sub>x</sub>F<sub>y</sub> 중 적어도 어느 하나의 혼합가스를 이용하여 식각한다.

<53> 이어서 도 8f에 보이는 바와 같이 마스크 패턴(82A) 및 전도막 패턴(81A) 측벽에 스페이서(86)를 형성한다. 상기 스페이서(86)는 전체 구조 상에 산화막 등의 절연막을 50 Å 내지 2000 Å 두께로 증착하고 전면식각하여 형성한다. 한편, 상기 콘택홀을 형성하기 위해 층간절연막(84)을 식각하는 과정에서 전도막 패턴(81A) 측벽에 층간절연막(84)을 남김으로써 스페이서(86)를 형성할 수도 있다.

<54> 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 【발명의 효과】

<55> 상기와 같이 이루어지는 본 발명은 스페이서 형성전에 즉, 비트라인 등의 전도막 패턴 사이의 간격이 상대적으로 큰 상태에서 층간절연막을 형성함으로써 비트라인 간의 종횡비가 작아지기 때문에 보이드 없이 HDP 산화막 등과 같은 절연막을 증착할 수 있다. 그리고, 일직선, T자 또는 I자 형태의 콘택홀 형성 마스크를 이용함으로써 홀 형태의 콘택홀 형성 마스크를 이용하는 경우보다 마스크 오정렬에 따른 콘택 불량을 방지할 수 있다. 또한, 종래와 달리 전도막 패턴 측벽에 스페이서를 형성하기 이전에 층간절연막을 증착 및 식각함으로써 층간절연막과 스페이서 사이의 식각선택비를 고려할 필요가 없어 스페이서를 산화막으로 형성할 수도 있으며, 그에 따라 이웃하는 전도막 패턴 간의 기생 캐패시턴스를 감소시킬 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 장치 제조 방법에 있어서,

기판 상에 다수의 전도막 패턴을 형성하는 제1 단계;

상기 제1 단계가 완료된 전체 구조 상에 충간절연막을 형성하는 제2 단계;

상기 충간절연막을 선택적으로 식각하여 상기 이웃하는 전도막 패턴 사이의 콘택 영역 및 상기 다수의 전도막 패턴 중 적어도 그 일측벽이 상기 콘택 영역에 인접하는 전도막 패턴을 노출시키는 제3 단계; 및

상기 제3 단계에서 노출된 상기 전도막 패턴 측벽에 절연막 스페이서를 형성하는

제4 단계

를 포함하는 반도체 장치 제조 방법.

**【청구항 2】**

반도체 장치 제조 방법에 있어서,

기판 상에 다수의 전도막 패턴을 형성하는 제1 단계;

상기 제1 단계가 완료된 전체 구조 상에 충간절연막을 형성하는 제2 단계; 및

상기 충간절연막을 선택적으로 식각하여 상기 이웃하는 전도막 패턴 사이의 콘택

영역을 노출시킴과 동시에, 상기 다수의 전도막 패턴 중 적어도 그 일측벽이 상기 콘택 영역과 인접하는 상기 전도막 패턴 측벽에 상기 충간절연막을 잔류시킴으로써 스페이서를 형성하는 제3 단계

를 포함하는 반도체 장치 제조 방법.

### 【청구항 3】

반도체 장치 제조 방법에 있어서,

기판 상에 다수의 전도막 패턴 및 상기 전도막 패턴 상부 표면을 덮는 마스크 패턴을 형성하는 제1 단계;

상기 제1 단계가 완료된 전체 구조 상에 충간절연막을 형성하는 제2 단계;

상기 충간절연막을 선택적으로 식각하여 상기 이웃하는 전도막 패턴 사이의 콘택 영역 및 상기 다수의 전도막 패턴 중 적어도 그 일측벽이 상기 콘택 영역에 인접하는 전도막 패턴 및 그 상부의 상기 마스크 패턴을 노출시키는 제3 단계; 및

상기 제3 단계에서 노출된 상기 전도막 패턴 및 상기 마스크 패턴 측벽에 절연막 스페이서를 형성하는 제4 단계

를 포함하는 반도체 장치 제조 방법.

### 【청구항 4】

반도체 장치 제조 방법에 있어서,

기판 상에 다수의 전도막 패턴 및 상기 전도막 패턴 상부 표면을 덮는 마스크 패턴을 형성하는 제1 단계;

상기 제1 단계가 완료된 전체 구조 상에 충간절연막을 형성하는 제2 단계; 및

상기 충간절연막을 선택적으로 식각하여 상기 이웃하는 전도막 패턴 사이의 콘택

영역을 노출시킴과 동시에, 상기 다수의 전도막 패턴 중 적어도 그 일측벽이 상기 콘택 영역과 인접하는 상기 전도막 패턴 및 그 상부의 상기 마스크 패턴 측벽에 상기 충간절 연막을 잔류시킴으로써 스페이서를 형성하는 제3 단계  
를 포함하는 반도체 장치 제조 방법.

#### 【청구항 5】

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,  
상기 충간절연막을 유전상수가 3.5 보다 낮은 물질로 형성하는 것을 특징으로 하는  
반도체 장치 제조 방법.

#### 【청구항 6】

제 5 항에 있어서,  
상기 제3 단계에서,  
일직선형, T자형, 또는 I자형 중 적어도 어느 하나의 콘택홀 패턴이 정의된 식각마  
스크를 이용하는 것을 특징으로 하는 반도체 장치 제조 방법.

#### 【청구항 7】

제 5 항에 있어서,  
상기 전도막 패턴은,

비트라인 또는 게이트 전극인 것을 특징으로 하는 반도체 장치 제조 방법.

### 【청구항 8】

제 1 항 또는 제 3 항에 있어서,

상기 제4 단계는,

상기 제3 단계가 완료된 전체 구조 상에 절연막을 형성하는 단계; 및

상기 절연막을 전면식각하여 상기 전도막 패턴 측벽에 상기 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조 방법.

### 【청구항 9】

제 3 항 또는 제 4 항에 있어서,

상기 마스크 패턴을 실리콘 질화막, 실리콘 산화질화막 또는 산화막 계열의 유전막

으로 형성하는 것을 특징으로 하는 반도체 장치 제조 방법.

### 【청구항 10】

제 5 항에 있어서,

상기 제3 단계에는,

1 mTorr 내지 100 mTorr 압력 조건에서 상기 층간절연막을 식각하는 것을 특징으로 하는 반도체 장치 제조 방법.

**【청구항 11】**

제 10 항에 있어서,

상기 제2 단계에서,

상기 충간절연막을 산화막 계열의 물질로 형성하고

상기 제3 단계에서,

상기 충간절연막을 Ar, C 및 F 혼합가스를 이용하여 식각하는 것을 특징으로 하는

반도체 장치 제조 방법.

**【청구항 12】**

제 10 항에 있어서,

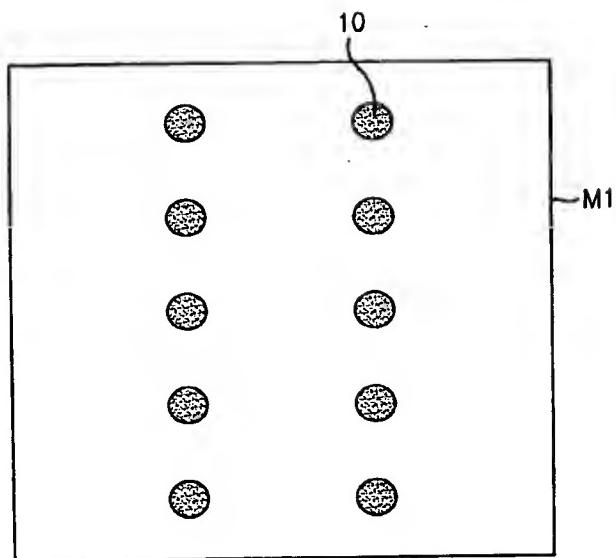
상기 제3 단계에서,

상기 폴리머 계열의 충간절연막을 Ar, O<sub>2</sub>, N<sub>2</sub>, H<sub>2</sub>, CH<sub>4</sub>, C<sub>2</sub>H<sub>4</sub> 또는 C<sub>x</sub>F<sub>y</sub> 중 적어도 어느

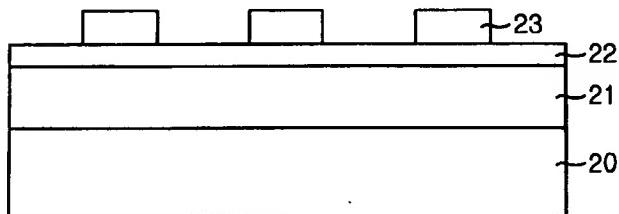
하나의 혼합가스를 이용하여 식각하는 것을 특징으로 하는 반도체 장치 제조 방법.

## 【도면】

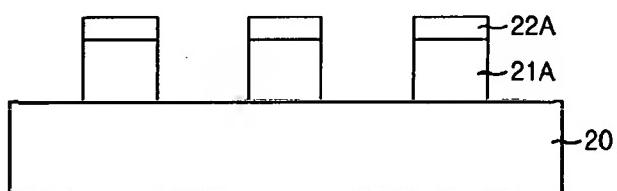
【도 1】



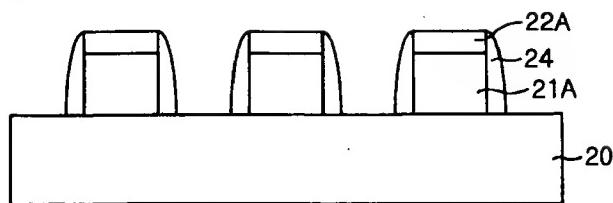
【도 2a】



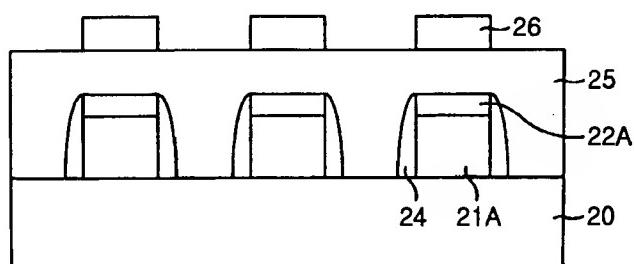
【도 2b】



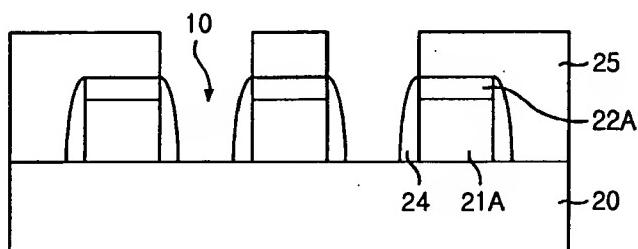
【도 2c】



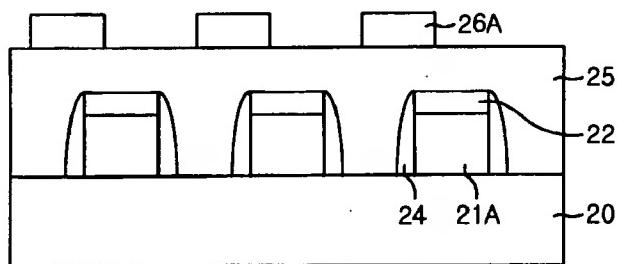
【도 2d】



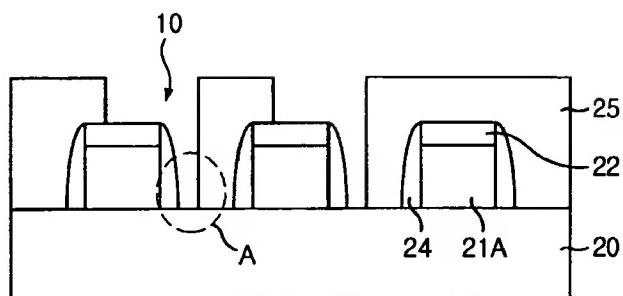
【도 2e】



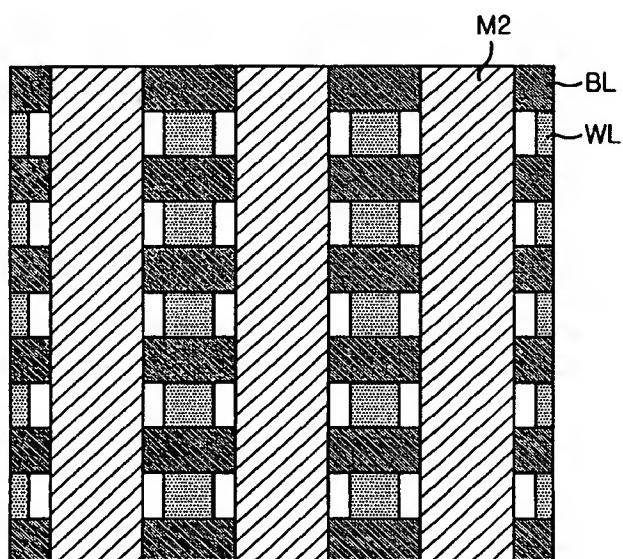
【도 3a】



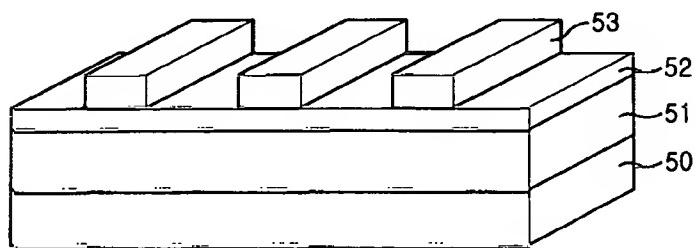
【도 3b】



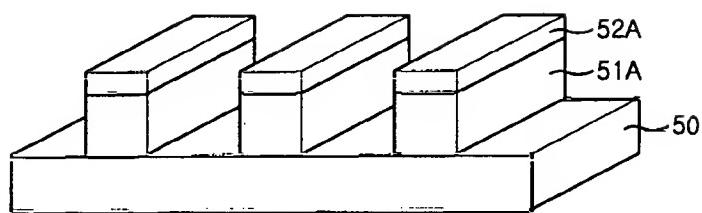
【도 4】



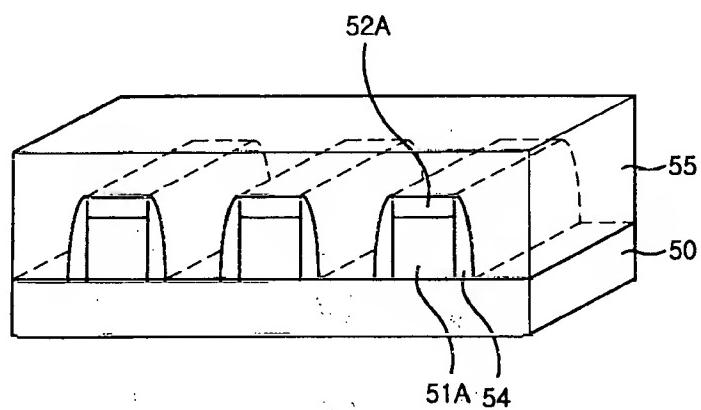
【도 5a】



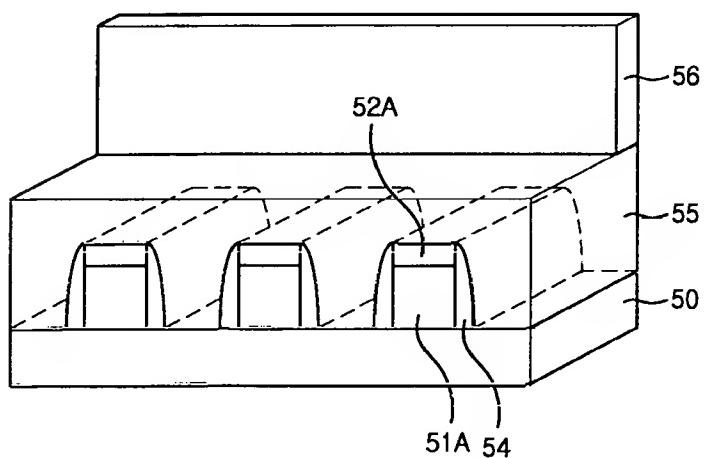
【도 5b】



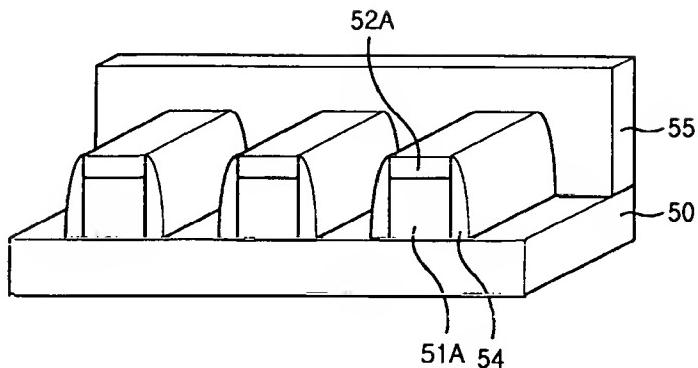
【도 5c】



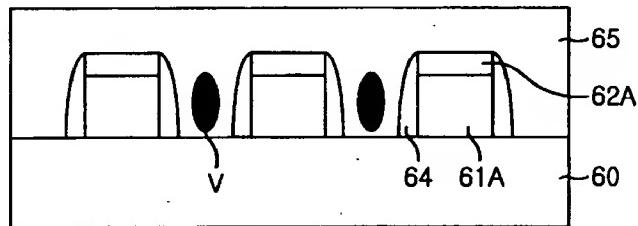
【도 5d】



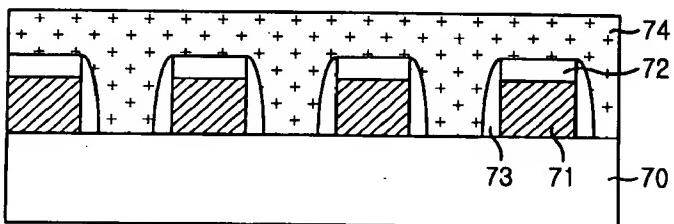
【도 5e】



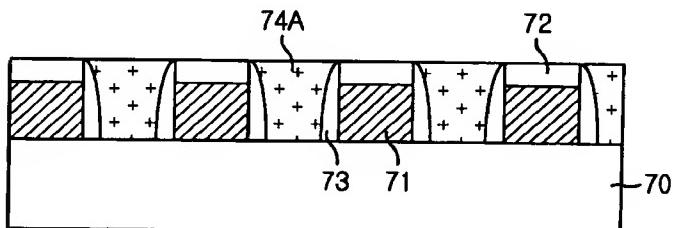
【도 6】



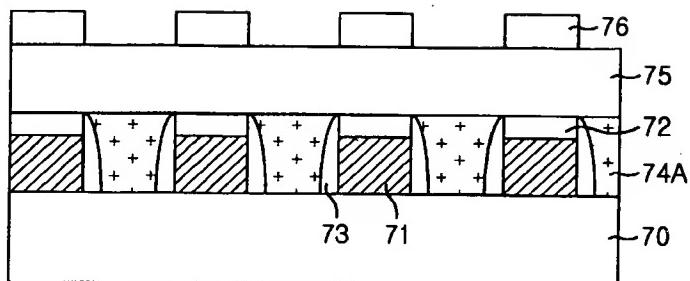
【도 7a】



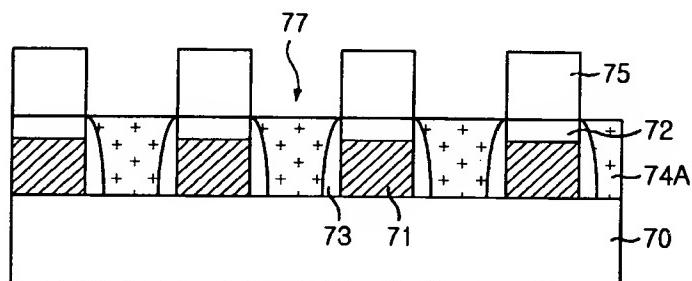
【도 7b】



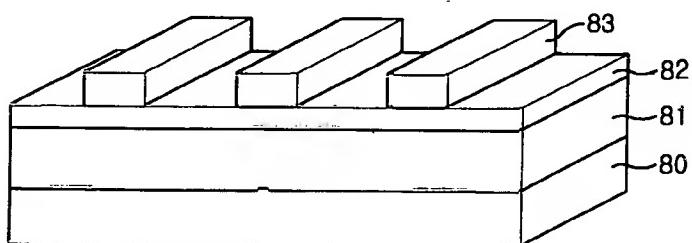
【도 7c】



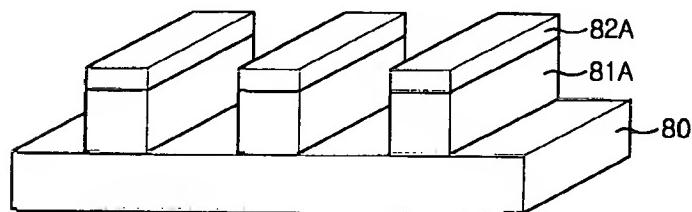
【도 7d】



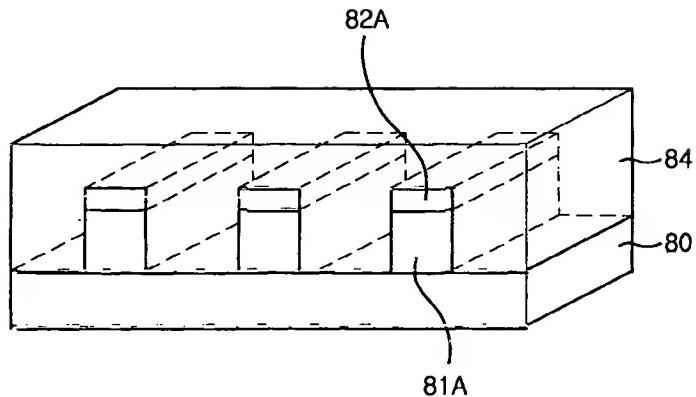
【도 8a】



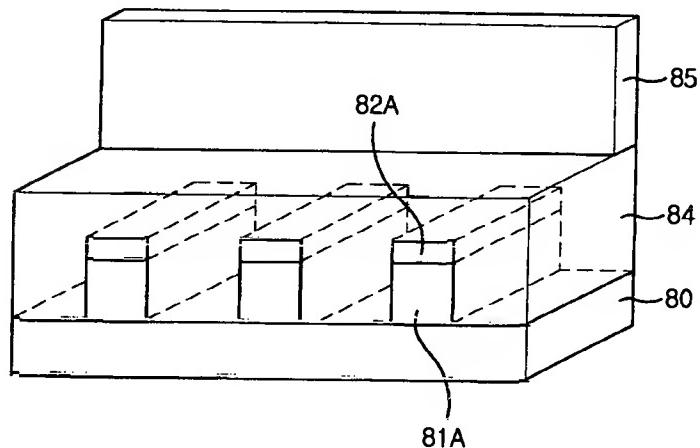
【도 8b】



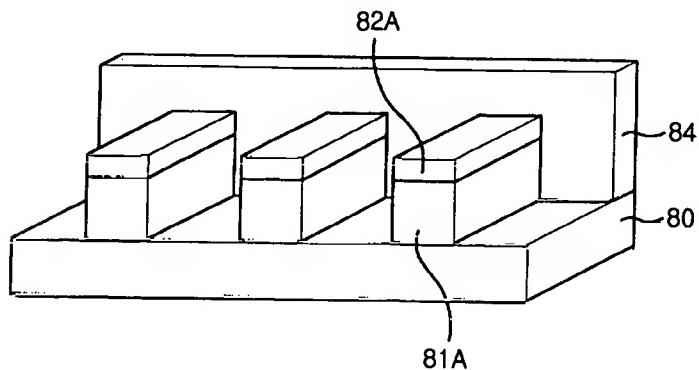
【도 8c】



【도 8d】



【도 8e】



【도 8f】

